

MULTILAYER PRINTED-WIRING BOARD AND ITS MANUFACTURING METHOD

Publication number: JP2002009448 (A)

Publication date: 2002-01-11

Inventor(s): SAKAMOTO HAJIME +

Applicant(s): IBIDEN CO LTD +

Classification:

- International: H01L23/12; H01L23/14; H05K3/46; H01L23/12; H05K3/46; (IPC1-7): H01L23/12; H01L23/14; H05K3/46

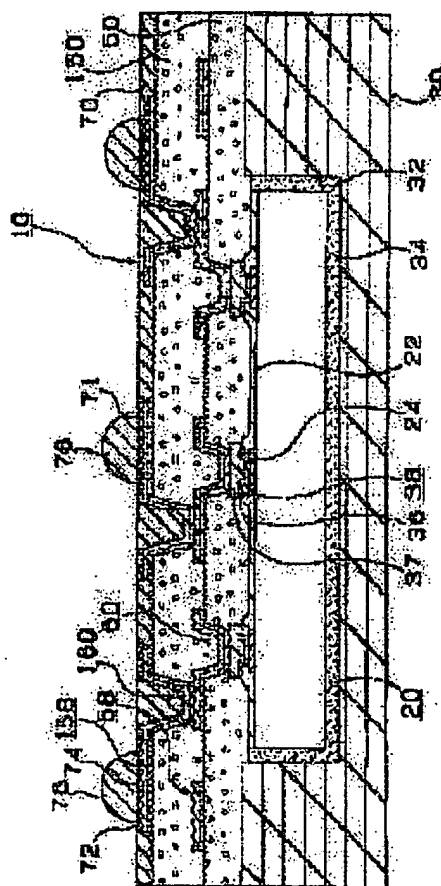
- European:

Application number: JP20000190167 20000623

Priority number(s): JP20000190167 20000623

Abstract of JP 2002009448 (A)

PROBLEM TO BE SOLVED: To provide a multilayer printed-wiring board that has improved electric connectivity with electronic components and superior reliability, and at the same time prevents a signal error caused by the delay in signal propagation and the loss of signal transmission from occurring easily. **SOLUTION:** In this multilayer printed-wiring board, conductor circuits and an interlayer resin insulating layer are successively formed on a substrate where the electronic components are incorporated, and the conductor circuits are connected via a via hole. In this case, in the interlayer resin insulating layer, permittivity at 1 GHz should be 3.0 or less.



Data supplied from the *espacenet* database — Worldwide

Entgegenhaltung 2:

JP Patentoffenlegungsschrift Nr. 2002-9448 - 11.01.2002

Anmeldung Nr. 2000-190167 - 23.06.2000

Priorität: keine

Anmelderin: Ibiden K.K., Gifu-ken, JP

Titel: Mehrschichtige Leiterplatte und deren Herstellungsverfahren

[0017] Nach der Untersuchung zum Lösen der obigen Probleme entdeckten die Erfinder, dass bei der mehrschichtigen Leiterplatte, auf die die zwischenschichtige Kunststoffisolierschicht mit einer Dielektrizitätskonstante von 3,0 oder minder bei 1 GHz verwendet ist, Signalverzögerungen oder Fehlersignale kaum entstehen, auch wenn ein IC-Chip implementiert ist, der das Hochfrequenzsignal des GHz-Bereichs verwendet. Die Erfinder vollendeten die mehrschichtige Leiterplatte der vorliegenden Erfindung.

[0018] Das Verfahren, das zur Bildung der zwischenschichtigen Kunststoffisolierschicht mit der obigen Eigenschaft geeignet ist, wurde untersucht. Die Erfinder entdeckten folgendes: Beim Verfahren, bei dem Kunststoff zur Bildung der zwischenschichtigen Kunststoffisolierschicht filmförmig gebildet wird und dieser filmförmige Kunststoff auf ein Substrat oder dgl., in das elektronische Teile implementiert sind, aufgepresst wird, ist die Behandlung des Kunststoffs zur Bildung der zwischenschichtigen Kunststoffisolierschicht leicht. Während deren Herstellungsprozesses entsteht keine Verletzung an dem Passivierungsfilm oder Defekt der elektronischen Teile bzw. kein Riss an der gebildeten Kunststofffilmschicht, so dass eine zwischenschichtige Kunststoffisolierschicht gebildet werden kann, deren Isolierfähigkeit, Formbeständigkeit und Verlässlichkeit der elektrischen

Verbindung hervorragend sind. Die Erfinder vollendeten das Verfahren zur Herstellung der mehrschichtigen Leiterplatte der vorliegenden Erfindung.

....

[0022] Beim Herstellungsverfahren der mehrschichtigen Leiterplatte der vorliegenden Erfindung werden die zwischenschichtige Kunststoffisolierschicht und der Leiterkreis auf dem Substrat nacheinander gebildet, in das elektronische Teile implementiert oder aufgenommen sind, und die elektronischen Teile und der Leiterkreis sowie der obige und untere Leiterkreise werden über ein Durchgangsloch verbunden, wobei ein Film aus zumindest einem Kunststoff verwendet wird, der aus Polyolefinkunststoff, Fluorkunststoff oder Polyphenylenkunststoff gewählt wird, und der Film auf ein Substrat, in dem die elektronischen Teile implementiert oder aufgenommen sind, oder ein Substrat, bei dem auf dem obigen Substrat zumindest eine zwischenschichtige Kunststoffisolierschicht und zumindest ein Leiterkreis gebildet ist, aufgepresst wird, so dass eine Kunststofffilmschicht gebildet wird, und nachfolgend eine Öffnung für Durchgangsloch an der Filmschicht gebildet wird, wodurch die zwischenschichtige Kunststoffisolierschicht gebildet wird.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9448

(P2002-9448A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.⁷

識別記号

F I.

テマコード(参考)

H 0 5 K 3/46

H 0 5 K 3/46

T 5 E 3 4 6

H 0 1 L 23/12

H 0 1 L 23/12

B
N
Q
N

審査請求 未請求 請求項の数 9 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-190167(P2000-190167)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(22) 出願日 平成12年6月23日(2000.6.23)

(72) 発明者 坂本 一

岐阜県揖斐郡揖斐川町北方1-1 イビデ

ン株式会社大垣北工場内

(74) 代理人 100086586

弁理士 安富 康男 (外2名)

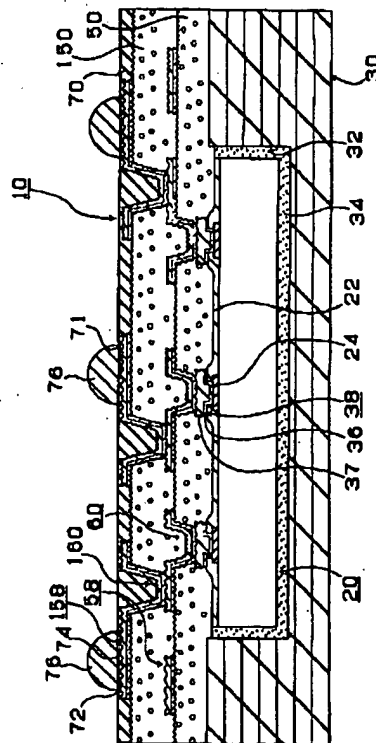
最終頁に続く

(54) 【発明の名称】 多層プリント配線板および多層プリント配線板の製造方法

(57) 【要約】

【課題】 電子部品との電氣的接続性及信頼性に優れるとともに、信号伝搬の遅延や信号の伝送損失に起因する信号エラーが発生しにくい多層プリント配線板を提供することを目的とする。

【解決手段】 電子部品が内蔵されている基板上に、導体回路と層間樹脂絶縁層とが順次形成され、これらの導体回路がバイアホールを介して接続されてなる多層プリント配線板であって、上記層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下であることを特徴とする多層プリント配線板。



【特許請求の範囲】

【請求項1】 電子部品が内蔵または収納されている基板上に、層間樹脂絶縁層と導体回路とが順次形成され、前記電子部品と導体回路、および、上下の導体回路がバイアホールを介して接続されてなる多層プリント配線板であって、前記層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下であることを特徴とする多層プリント配線板。

【請求項2】 前記層間樹脂絶縁層は、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群より選択される少なくとも一種からなる請求項1に記載の多層プリント配線板。

【請求項3】 前記ポリオレフィン系樹脂は、シクロオレフィン系樹脂である請求項2に記載の多層プリント配線板。

【請求項4】 前記電子部品のパッド部分にはトランジション層が形成され、前記電子部品と導体回路とは、前記トランジション層およびバイアホールを介して接続されている請求項1～3のいずれか1に記載の多層プリント配線板。

【請求項5】 電子部品が内蔵または収納されている基板上に、層間樹脂絶縁層と導体回路とが順次形成され、前記電子部品と導体回路、および、上下の導体回路がバイアホールを介して接続されてなる多層プリント配線板の製造方法であって、前記層間樹脂絶縁層を形成する際に、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群より選択される少なくとも一種の樹脂からなるフィルムを用い、前記フィルムを、前記電子部品が内蔵または収納されている基板、または、前記基板上に前記層間樹脂絶縁層と導体回路とが少なくとも一層ずつ形成された基板に圧着して、樹脂フィルム層を形成した後、前記樹脂フィルム層に、バイアホール用開口を形成することにより層間樹脂絶縁層とすることを特徴とする多層プリント配線板の製造方法。

【請求項6】 前記ポリオレフィン系樹脂は、シクロオレフィン系樹脂である請求項5に記載の多層プリント配線板の製造方法。

【請求項7】 前記層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下である請求項5または6に記載の多層プリント配線板の製造方法。

【請求項8】 電子部品が内蔵または収納されている基板にフィルムを圧着する前に、下記(a)～(e)の工程を行うことにより、電子部品のパッド部分にトランジション層を形成する請求項5～7のいずれか1に記載の多層プリント配線板の製造方法。

(a) 電子部品が内蔵または収納されている基板上に、金属膜を形成する工程と、(b) 前記金属膜上に、感光性ドライフィルムを貼り付ける工程と、(c) 前記感光性ドライフィルムに、露光・現像処理を施すことによりめっきレジストを形成する工程と、(d) 前記めっきレ

ジスト非形成部にめっき層を形成する工程と、(e) 前記めっきレジスト、および、前記めっきレジスト下に存在する金属膜を除去することにより前記トランジション層を形成する工程。

【請求項9】 電子部品が内蔵または収納されている基板にフィルムを圧着する前に、下記(a)～(e)の工程を行うことにより、電子部品のパッド部分にトランジション層を形成する請求項5～7のいずれか1に記載の多層プリント配線板の製造方法。

10 (a) 電子部品が内蔵または収納されている基板上に、金属膜を形成する工程と、(b) 前記金属膜上に、めっき層を形成する工程と、(c) 前記めっき層上に、感光性ドライフィルムを貼り付ける工程と、(d) 前記感光性ドライフィルムに、露光・現像処理を施すことによりエッチングレジストを形成する工程と、(e) エッチングレジスト非形成部下の金属膜およびめっき層をエッチング処理にて除去することにより前記トランジション層を形成する工程。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、ビルドアップ多層プリント配線板に関し、特にICチップ等の電子部品を内蔵する多層プリント配線板及び該多層プリント配線板の製造方法に関する。

【0002】

【従来の技術】従来、ICチップ等の実装された多層プリント配線板は、例えば、まず、セミアディティブ法等によりビルドアップ多層プリント配線板を製造し、その後、種々の実装方法を用いて、該多層プリント配線板とICチップとを電氣的に接続することにより製造されていた。

【0003】ビルドアップ多層プリント配線板は、例えば、特開平9-130050号公報等に開示された方法により製造されている。即ち、まず、銅箔が貼り付けられた銅張積層板に貫通孔を形成し、続いて無電解銅めっき処理を施すことによりスルーホールを形成する。続いて、基板の表面を導体パターン状にエッチング処理して導体回路を形成し、この導体回路の表面に無電解めっきやエッチング等により粗化面を形成し、その粗化面を有する導体回路上にエポキシ樹脂、アクリル樹脂等の混合物を使用して層間樹脂絶縁層を形成した後、露光、現像処理を行うか、レーザ処理によりバイアホール用開口を形成し、その後、UV硬化、本硬化を経て層間樹脂絶縁層を形成する。

【0004】さらに、層間樹脂絶縁層に粗化形成処理を施した後、形成された粗化面に薄い無電解めっき膜を形成し、この無電解めっき膜上にめっきレジストを形成した後、電解めっきにより厚付けを行い、めっきレジスト剥離後にエッチングを行って、下層の導体回路とバイアホールにより接続された導体回路を形成する。

【0005】これを繰り返した後、最外層として導体回路を保護するためのソルダーレジスト層を形成し、ソルダーレジスト層に開口を形成し、開口部分の導体層にめっき等を施してパッドとした後、半田バンプを形成することにより、ビルドアップ多層プリント配線板を製造する。

【0006】また、このようにして製造されたビルドアップ多層プリント配線板とICチップとを電気的に接続する実装方法としては、ワイヤーボンディング、TAB (Tape Automated Bonding)、フリップチップボンディング等が用いられていた。

【0007】ワイヤーボンディングでは、プリント配線板にICチップを接着剤によりダイボンディングさせ、該プリント配線板のパッドとICチップのパッドとを金線などのワイヤーで接続させた後、ICチップ並びにワイヤーを保護するために熱硬化性樹脂や熱可塑性樹脂などの樹脂による封止を行っていた。

【0008】また、TABでは、リードと呼ばれる導線が多数形成されたテープを用い、ICチップのバンプとプリント配線板のパッドとを半田などによって一括して接続させた後、樹脂による封止を行っていた。フリップチップボンディングでは、ICチップとプリント配線板のパッド部とをバンプを介して接続させて、バンプとの隙間に樹脂を充填させることによって行っていた。また、これらの方法で実装された電子部品は、プリント配線板を介して駆動させていた。

【0009】

【発明が解決しようとする課題】しかしながら、これらの実装方法では、ICチップとプリント配線板との間を接続用のリード部品（ワイヤー、リード、バンプ）を介して電気的に接続していたため、これらの各リード部品が、切断されたり、腐食されたりしてしまうとICチップとプリント配線板との間の接続が遮断されたり、ICチップの誤作動の原因となってしまうことがあった。

【0010】また、それぞれの実装方式では、ICチップおよびリード部品を保護するためにエポキシ樹脂樹脂等の樹脂によって、封止を行っており、その樹脂を充填する際に、気泡を含有したりすると、その気泡が起点となって、リード部品の破壊やICパッドの腐食、信頼性の低下を招いてしまうことがあった。また、熱可塑性樹脂等による封止では、それぞれの部品に合わせて樹脂充填用ランジャ、金型等を作成する必要があるが、熱硬化性樹脂による封止ではリード部品、ソルダーレジストなどの材質などを考慮して樹脂を選定しなくてはならないために、コストが高くなる原因になっていた。

【0011】

【課題を解決するための手段】近年、このような問題点を解決するために、ICチップ等の半導体素子を基板に内蔵または収納した多層プリント配線板が開示されている。特開平9-321408号公報では、ダイパッド上

にスタッドバンプを形成した半導体素子を基板に埋め込み、バイアホールを介して、該スタッドバンプと上層の導体回路とを電気的に接続した多層プリント配線板が開示されている。しかしながら、この多層プリント配線板では、スタッドバンプの形状がタマネギ状であり、その高さにバラツキがあることに起因して、基板上に形成された層間絶縁層は厚さが均一でなく、その表面が平坦にならないことがあり、この場合には、バイアホールを介した電気的接続に接続不良が発生することがあった。また、この多層プリント配線板は、その構造上、バイアホール用開口を一括形成することができず、生産性の劣るものであった。

【0012】また、特開平10-256429号公報では、セラミック基板に半導体素子が収納され、該半導体素子がフリップチップにより導体回路と電気的に接続されている多層配線板が開示されている。この多層配線板で用いられているアルミナや窒化アルミニウム等を材料とするセラミック基板は、外形加工性に劣るため半導体素子の納まりが良くない。そのため、半導体素子のパッドの高さが不均一になり、その結果、該パッドと導体回路との間で接続不良が発生することがあった。

【0013】また、特開平11-126978号公報公報では、基板に空隙部を形成し、この空隙部に半導体素子を収納した多層プリント配線板が開示されている。しかしながら、このように半導体素子を内蔵した多層プリント配線板であっても、該半導体素子と導体回路とを半田、TAB、ワイヤーボンディング等のリード部品を介して接続した場合には、上述の問題点を解決することが出来なかった。また、基板の空隙部に半導体素子を収納した際に、該半導体素子と基板との間に空隙が存在する場合には、半導体素子の位置ずれが発生しやすく、接続信頼性の低下につながるがあった。

【0014】また、本発明者らは、先に、リード部品を介さずに、ICチップ等の電子部品と直接電気的接続を行うことができる多層プリント配線板として、基板に設けられた開口部、貫通孔またはザグリ部にICチップ等が内蔵または收容（以下、両者を併せて単に内蔵という）され、さらに、該基板上に層間樹脂絶縁層と導体回路とが積層され、該ICチップと導体回路の間や、層間樹脂絶縁層を介した上下の導体回路間がバイアホールを介して電気的に接続された多層プリント配線板を提案した。

【0015】このようにICチップ等を内蔵した多層プリント配線板では、ICチップ等と多層プリント配線板との接続に、リード部品や封止樹脂が用いられていないため、その接続信頼性は優れたものとなり、多層プリント配線板製造の際にICチップを実装することができるためコストも安くなる。

【0016】このようなICチップ等の電子部品が内蔵された多層プリント配線板は、リード部品を介して電子

部品が実装された多層プリント配線板と比べて接続信頼性が向上している。しかしながら、このような多層プリント配線板において、従来の多層プリント配線板と同様、層間樹脂絶縁層にエポキシ樹脂、アクリル樹脂等の混合物を使用した場合、以下のような不具合を生じることがあった。即ち、エポキシ樹脂、アクリル樹脂等の混合物は、その誘電率がGHz領域において、3.5以上と高く、そのため、GHz帯域の高周波数信号を用いたICチップ等を内蔵した多層プリント配線板では、層間樹脂絶縁層が高誘電率であることに起因して、信号遅延や信号エラーが発生しやすくなってしまうという問題があった。

【0017】そこで、発明者らは、上記問題点を解決するために鋭意研究した結果、1GHzにおける誘電率が3.0以下である層間樹脂絶縁層を用いた多層プリント配線板では、GHz帯域の高周波信号を用いるICチップを内蔵した場合にも、信号遅延や信号エラーが発生しにくいことを見出し、本発明の多層プリント配線板を完成した。

【0018】また、上記特性を有する層間樹脂絶縁層を形成するに適した方法について検討したところ、層間樹脂絶縁層形成用の樹脂をフィルム状に成形しておき、その後、このフィルムを、電子部品が内蔵された基板等に圧着する方法を用いた場合、層間樹脂絶縁層形成用樹脂の取り扱いが容易であり、また、その製造工程において、パッシベーション膜や電子部品のパッドが損傷したり、形成される樹脂フィルム層にクラックが発生したりすることがないため、層間樹脂絶縁層の絶縁性や形状保持性、パッドと導体回路との電気的な接続信頼性に優れた層間樹脂絶縁層を形成することができることを見出し、本発明の多層プリント配線板の製造方法を完成した。

【0019】本発明の多層プリント配線板は、電子部品が内蔵または収納されている基板上に、導体回路と層間樹脂絶縁層とが順次形成され、これらの導体回路がバイアホールを介して接続されてなる多層プリント配線板であって、上記層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下であることを特徴とする。

【0020】本発明の多層プリント配線板において、上記層間樹脂絶縁層は、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群より選択される少なくとも一種からなることが望ましい。また、上記ポリオレフィン系樹脂は、シクロオレフィン系樹脂であることが望ましい。

【0021】また、上記多層プリント配線板においては、電子部品のパッド上にトランジション層が形成されていることが望ましい。

【0022】また、本発明の多層プリント配線板の製造方法は、電子部品が内蔵または収納されている基板上に、層間樹脂絶縁層と導体回路とが順次形成され、上記

電子部品と導体回路、および、上下の導体回路がバイアホールを介して接続されてなる多層プリント配線板の製造方法であって、上記層間樹脂絶縁層を形成する際に、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群より選択される少なくとも一種の樹脂からなるフィルムを用い、上記フィルムを、上記電子部品が内蔵または収納されている基板、または、上記基板上に上記層間樹脂絶縁層と導体回路とが少なくとも一層ずつ形成された基板に圧着して、樹脂フィルム層を形成した後、上記フィルム層に、バイアホール用開口を形成することにより層間樹脂絶縁層とすることを特徴とする。

【0023】上記製造方法において、上記ポリオレフィン系樹脂は、シクロオレフィン系樹脂であることが望ましい。また、上記製造方法において、形成される層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下であることが望ましい。

【0024】また、本発明の製造方法においては、電子部品が内蔵または収納されている基板にフィルムを圧着する前に、下記(a)～(e)の工程を行うことにより、電子部品のパッド部分にトランジション層を形成することが望ましい。

(a) 電子部品が内蔵または収納されている基板上に、金属膜を形成する工程と、(b) 上記金属膜上に、感光性ドライフィルムを貼り付ける工程と、(c) 上記感光性ドライフィルムに、露光・現像処理を施すことによりめっきレジストを形成する工程と、(d) 上記めっきレジスト非形成部にめっき層を形成する工程と、(e) 上記めっきレジスト、および、上記めっきレジスト下に存在する金属膜を除去することにより上記トランジション層を形成する工程。

【0025】また、本発明の製造方法においては、電子部品が内蔵または収納されている基板にフィルムを圧着する前に、下記(a)～(e)の工程を行うことにより、電子部品のパッド部分にトランジション層が形成することも望ましい。

(a) 電子部品が内蔵または収納されている基板上に、金属膜を形成する工程と、(b) 上記金属膜上に、めっき層を形成する工程と、(c) 上記めっき層上に、感光性ドライフィルムを貼り付ける工程と、(d) 上記感光性ドライフィルムに、露光・現像処理を施すことによりエッチングレジストを形成する工程と、(e) エッチングレジスト非形成部下の金属膜およびめっき層をエッチング処理にて除去することにより上記トランジション層を形成する工程。

【0026】

【発明の実施の形態】本発明の多層プリント配線板は、電子部品が内蔵されている基板上に、導体回路と層間樹脂絶縁層とが順次形成され、これらの導体回路がバイアホールを介して接続されてなる多層プリント配線板であ

って、上記層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下であることを特徴とする。

【0027】本発明の多層プリント配線板によれば、ICチップ等の電子部品が基板に内蔵されているため、電子部品と多層プリント配線板との接続において、リード部品や封止樹脂が用いられていない。従って、上記多層プリント配線板は、リード部品を介してICチップが実装された場合に発生していた種々の不具合が解消され、電気的接続性や信頼性に優れるものである。

【0028】また、本発明の多層プリント配線板においては、層間樹脂絶縁層の1GHzにおける誘電率が3.0以下と低いため、GHz帯域の高周波信号を用いるICチップ等の電子部品を内蔵する場合であっても、信号伝搬の遅延や信号の伝送損失等に起因する信号エラーを防止することができる。

【0029】上記多層プリント配線板において、上記層間樹脂絶縁層は、1GHzにおける誘電率が3.0以下であり、このような低誘電率の層間樹脂絶縁層の材料（層間樹脂絶縁層形成用樹脂）としては、例えば、ポリオレフィン系樹脂、フッ素系樹脂、ポリフェニレン系樹脂等が挙げられる。これらは、単独で用いてもよいし、2種以上を併用してもよい。

【0030】上記ポリオレフィン系樹脂の具体例としては、例えば、ポリエチレン、ポリプロピレン、ポリイソブチレン、ポリブタジエン、ポリイソブレン、シクロオレフィン系樹脂、これらの樹脂の共重合体等が挙げられる。上記ポリオレフィン系樹脂の市販品としては、例えば、住友スリーエム社製の商品名：1592等が挙げられる。また、融点が200℃以上の熱可塑性ポリオレフィン系樹脂の市販品としては、例えば、三井石油化学工業社製の商品名：TPX（融点240℃）、出光石油化学社製の商品名：SPS（融点270℃）等が挙げられる。

【0031】これらのなかでは、シクロオレフィン系樹脂が望ましい。シクロオレフィン系樹脂は、誘電率が低く、GHz帯域の高周波信号を用いた場合でも信号遅延や信号エラーが起きにくいことに加え、機械的特性、特に、剛性が高いため、しっかりとした層間樹脂絶縁層の上に導体回路を形成することができ、その結果、導体回路同士の接続信頼性を十分に確保することができる。

【0032】また、上記シクロオレフィン系樹脂は、導体回路との密着性にも優れるため、層間樹脂絶縁層が導体回路から剥離することを防止することができ、剥離に起因する層間樹脂絶縁層でのクラックの発生等も防止することができる。さらに、上記シクロオレフィン系樹脂は、吸水率が小さいため、導体回路間の電気絶縁性が高くなり、信頼性も向上する。

【0033】上記シクロオレフィン系樹脂としては、2-ノルボルネン、5-エチリデン-2-ノルボルネンまたはこれらの誘導体からなる単量体の単独重合体または

共重合体であることが望ましい。上記誘導体としては、2-ノルボルネン等のシクロオレフィンに、架橋を形成するためのアミノ基や無水マレイン酸残基あるいはマレイン酸変性したものが結合したものが挙げられる。上記共重合体を合成する場合の単量体としては、例えば、エチレン、プロピレン等が挙げられる。

【0034】上記シクロオレフィン系樹脂は、上記した樹脂の2種以上の混合物であってもよく、シクロオレフィン系樹脂以外の樹脂を含むものであってもよい。また、上記シクロオレフィン系樹脂が共重合体である場合には、ブロック共重合体であってもよく、ランダム共重合体であってもよい。

【0035】また、上記シクロオレフィン系樹脂は、熱硬化性シクロオレフィン系樹脂であることが望ましい。加熱を行って架橋を形成させることにより、より剛性が高くなり、機械的特性が向上するからである。上記シクロオレフィン系樹脂のガラス転移温度(Tg)は、130~200℃であることが望ましい。

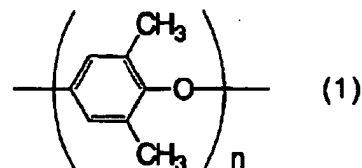
【0036】上記シクロオレフィン系樹脂は、フィラー等を含まないものであってもよく、水酸化アルミニウム、水酸化マグネシウム、リン酸エステル等の難燃剤を含むものであってもよい。

【0037】また、フッ素系樹脂としては、例えば、エチル/テトラフルオロエチレン共重合樹脂(ETFE)、ポリクロロトリフルオロエチレン(PCTFE)等が挙げられる。

【0038】また、上記ポリフェニレン系樹脂としては、例えば、下記化学式(1)で表される繰り返し単位を有する熱可塑性ポリフェニレンエーテル樹脂や、下記化学式(2)で表される繰り返し単位を有する熱硬化性ポリフェニレンエーテル樹脂等が挙げられる。

【0039】

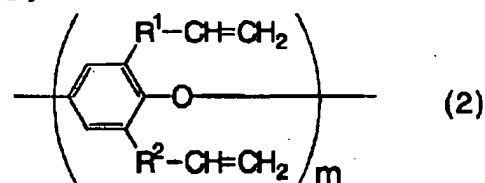
【化1】



【0040】(式中、nは、2以上の整数を表す。)

【0041】

【化2】



(式中、mは、2以上の整数を表す。また、R¹、R²は、メチレン基、エチレン基または-CH₂、-O-CH₂

、-を表し、両者は、同一であっても良いし、異なってもよい。）

【0042】また、上記化学式(1)で表される繰返し単位を有する熱可塑性ポリフェニレンエーテル樹脂は、ベンゼン環にメチル基が結合した構造を有しているが、本発明で用いることのできるポリフェニレンエーテル樹脂としては、上記メチル基が、エチル基等の他のアルキル基等で置換された誘導体や、メチル基の水素がフッ素で置換された誘導体等であってもよい。これらのポリフェニレン系樹脂は、単独で用いてもよいし、2種以上併用してもよい。

【0043】このようなポリフェニレン系樹脂のなかでは、加熱することにより剛性が高くなり、機械的特性が向上する点から上記化学式(2)で表される熱硬化性ポリフェニレンエーテル樹脂が望ましい。

【0044】また、上記ポリオレフィン系樹脂、フッ素系樹脂、および、ポリフェニレン系樹脂は、低誘電率を損ねない範囲で有機フィラーや無機フィラー等の他の成分を含んでもよい。例えば、上記ポリオレフィン系樹脂が有機フィラーを含んでいる場合には、レーザ光を照射することによりバイアホール用開口を形成する際に、所望の形状のバイアホール用開口を良好に形成することができる。

【0045】これは、炭酸ガスレーザ等の赤外線レーザを照射してバイアホール用開口を形成する場合には、有機フィラーが熱に対する緩衝剤の役割を果たし、発生した熱や導体回路で反射した熱を一部吸収するとともに、バイアホール用開口の周囲の樹脂の形状を維持するための機械的な強化剤の役割を果たすからであり、また、紫外線レーザを照射してバイアホール用開口を形成する場合には、有機フィラーが紫外線を吸収し、レーザ照射部位の樹脂のみが分解、消失するからである。

【0046】上記有機フィラーとしては特に限定されず、例えば、メラミン、フェノール樹脂、エポキシ樹脂、ポリイミド樹脂、フッ素樹脂、PPO、PPE等が挙げられる。これらは、単独で用いてもよいし、2種以上併用してもよい。

【0047】上記多層プリント配線板において、上記電子部品のパッド部分には、トランジション層が形成されていることが望ましい。上記トランジション層とは、ICチップに配設されたパッドを拡張するために設けられた導体層であり、その形成目的は、以下に述べるICチップのパッドに発生する種々の不具合を解消することにある。

【0048】即ち、通常、バイアホール用開口の開口径が60〜80μmであるのに対し、電子部品のパッド部分は、その径が40μm程度であり、そのため、上記パッドとバイアホールとを直接接続した場合には、パッド径が小さいことと起因して、バイアホールの位置ずれが発生し、これが導通不良や断線の原因となることがある

が、トランジション層を形成することにより、該トランジション層の水平方向の径（以下、単に直径という）がパッドの径に比べて大きくなり、バイアホールとの接続を確実に行うことができる。

【0049】また、上記多層プリント配線板を製造する際には、酸や酸化剤、エッチング液等を使用することがあるため、これら酸等と電子部品のパッドとが接触した際に、パッドの変色や溶解が発生することがあるが、トランジション層を形成することにより、上記パッド層と上記酸等とが直接接触することを防止することができる。

【0050】上記トランジション層の直径は特に限定されず、バイアホール用開口の開口径等を考慮して適宜選択すればよいが、バイアホール用開口の開口径と同程度の60〜80μmが望ましい。

【0051】上記トランジション層の材質としては、銅、クロム、ニッケル、亜鉛、金、銀、スズ、鉄等が挙げられる。これらのなかでは、その上層に形成される導体回路（バイアホール）の材質と同様のものが望ましく、通常、導体回路の材質は銅であるため銅が望ましい。また、上記トランジション層は、一層からなるものであっても良いし、二層以上の複数層からなるものであってもよいが、二層以上の複数層からなるものが望ましい。特に、ICチップのパッドの材質がアルミニウムである場合、亜鉛、クロムまたはニッケルからなる下層と銅からなる上層との二層からなるものが望ましい。

【0052】上記トランジション層の厚さは、1〜35μmが望ましい。上記トランジション層の厚さが35μmを超えると、その形状がアンダーカット形状になることがあり、ICチップとバイアホールの接続信頼性の低下に繋がる原因となることがある。上記トランジション層が二層以上の複数層からなる場合、その下層の厚さは、0.01〜0.5μmが望ましい。なお、上記トランジション層を形成する方法については、後に本発明の製造方法を説明する際に詳述する。

【0053】以下、本発明の多層プリント配線板について図を参照して説明する。図1は、本発明の多層プリント配線板の一例を模式的に示す断面図である。図1に示すように多層プリント配線板10は、ICチップ20が内蔵された樹脂基板30と層間樹脂絶縁層50と層間樹脂絶縁層150とからなる。層間樹脂絶縁層50には、バイアホール60および導体回路58が形成され、層間樹脂絶縁層150には、バイアホール160および導体回路158が形成されている。

【0054】また、ICチップ20は、パッシベーション膜22により被覆され、パッシベーション膜22の開口内に入出力端子を構成するアルミパッド24、及び、位置決めマーク（図示せず）が配設されている。パッド24の上には、金属膜36およびめっき層37からなるトランジション層38が形成されている。

【0055】層間樹脂絶縁層150の上には、ソルダーレジスト層70が配設されている。ソルダーレジスト層70の開口部71下の導体回路158には、図示しないドータボード、マザーボード等の外部基板と接続するための半田バンプ76がニッケルめっき層72および金めっき層74を介して設けられている。

【0056】多層プリント配線板10では、樹脂基板にICチップ20が予め内蔵され、ICチップ20のパッド24上にはトランジション層38を配設されている。このため、リード部品や封止樹脂を用いることなく、ICチップと多層プリント配線板とを電氣的に接続することができる。

【0057】上記樹脂基板としては、一般的にプリント配線板で使用されるものであれば特に限定されず、例えば、エポキシ樹脂、BT樹脂、フェノール樹脂等にガラスエポキシ樹脂等の補強材や心材を含浸させた樹脂からなる基板や、エポキシ樹脂を含浸させたプリプレグを積層した基板等が挙げられる。また、両面銅張積層板、片面板、金属膜を有さない樹脂板、樹脂フィルム等を用いてもよい。なお、上記樹脂基板とICチップ等の電子部品とは、接着剤等により接合されている。

【0058】また、層間樹脂絶縁50、150は、上記層間樹脂絶縁層形成用樹脂からなる。上記層間樹脂絶縁層は、その膜厚が5〜50 μm であることが望ましく、15〜35 μm であることがより望ましい。導体回路間の絶縁性を十分に確保することができるとともに、所望の形状のバイアホール用開口を形成することができるため、バイアホールを介した接続信頼性が優れたものとなるからである。

【0059】なお、本発明の多層プリント配線板は、例えば、後述する本発明の多層プリント配線板の製造方法を用いて製造することができる。

【0060】次に、本発明の多層プリント配線板の製造方法について説明する。本発明の多層プリント配線板の製造方法は、電子部品が内蔵または収納されている基板上に、層間樹脂絶縁層と導体回路とが順次形成され、上記電子部品と導体回路、および、上下の導体回路がバイアホールを介して接続されてなる多層プリント配線板の製造方法であって、上記層間樹脂絶縁層を形成する際に、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群より選択される少なくとも一種の樹脂からなるフィルムを用い、上記フィルムを、上記電子部品が内蔵または収納されている基板、または、上記基板上に上記層間樹脂絶縁層と導体回路とが少なくとも一層ずつ形成された基板に圧着して、樹脂フィルム層を形成した後、上記樹脂フィルム層に、バイアホール用開口を形成することにより層間樹脂絶縁層とすることを特徴とする。

【0061】本発明の多層プリント配線板の製造方法によれば、ポリオレフィン系樹脂、フッ素系樹脂およびポ

リフェニレン系樹脂からなる群より選択される少なくとも一種の樹脂からなるフィルムを用いて層間樹脂絶縁層を形成するため、層間樹脂絶縁層の誘電率が3.0以下である本発明の多層プリント配線板を好適に製造することができる。また、本発明の製造方法は、層間樹脂絶縁層形成用樹脂のフィルムを用いるため、その取り扱いが容易であり、さらに、上記フィルムを張り付けるのみであるため、パッシベーション膜や電子部品のパッドが損傷することはなく、形成される樹脂フィルム層にクラックが発生したりすることがない。従って、低誘電率で、かつ、絶縁性および形状保持性に優れた層間樹脂絶縁層を有する多層プリント配線板を製造することができる。

【0062】なお、本発明の多層プリント配線板の層間樹脂絶縁層は、本発明の製造方法以外にも、層間樹脂絶縁層形成用樹脂の未硬化の溶液を、ロールコーター法等により、電子部品が内蔵されている基板等に塗布した後、加熱により硬化させ、その後、バイアホール用開口を設けることにより形成することもできる。

【0063】さらに、本発明の多層プリント配線板の製造方法においては、基板に内蔵されたICチップのパッド上にトランジション層を形成することにより、パッドと導体回路との接続信頼性に優れた多層プリント配線板を製造することができる。

【0064】ここでは、まず、層間樹脂絶縁層を形成する工程について説明し、多層プリント配線板の全製造工程については、後に詳述する。

【0065】本発明の製造方法において、層間樹脂絶縁層を形成する際には、まず、ICチップ等の電子部品が内蔵されている基板や、既に下層の層間樹脂絶縁層と導体回路とが形成された基板に、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群より選択される少なくとも一種の樹脂（層間樹脂絶縁層形成用樹脂）からなるフィルムを圧着する。このような層間樹脂絶縁層形成用樹脂を用いることにより、誘電率が3.0以下の層間樹脂絶縁層を形成することができるからである。

【0066】なお、層間樹脂絶縁層形成用樹脂のフィルムは、例えば、上記層間樹脂絶縁層形成用樹脂を含む樹脂溶液を調製し、得られた樹脂溶液をPETフィルム上にロールコータ等を用いて塗布した後、80〜180 $^{\circ}\text{C}$ の温度で0.5〜60分間乾燥させることにより作製する。また、市販のフィルムを用いることもできる。

【0067】上記層間樹脂絶縁層形成用樹脂のフィルムを圧着する方法としては、例えば、真空ラミネーター等の装置を用いる方法が挙げられる。また、圧着は、減圧または真空下において、0.2〜1.0MPaの圧力で行うことが望ましい。フィルムを圧着する際の圧力が、0.2MPa未満では、フィルムと電子部品内蔵基板や導体回路の形成された層間樹脂絶縁層との密着性が充分でない場合があり、一方、1.0MPaを超える

と、層間樹脂絶縁層形成用樹脂中にフィラー等が含まれている場合に、上記フィラー等が層間樹脂絶縁層形成用樹脂フィルム層の表層部に凝集してしまうことがあり、後工程で層間樹脂絶縁層表面に粗化面を形成した場合に、所望の凹凸を形成することができないことがある。

【0068】また、上記フィルムを圧着する際の温度は、50～180℃が望ましい。上記温度が50℃未満では、加熱による効果がほとんどみられず、180℃を超えると、フィルムが硬化剤や溶剤を含有する場合に、これらの硬化剤や溶剤が揮発してしまい、硬化が不十分であったり、硬化が進行しすぎてバイアホール用開口の底面に樹脂が残渣として残ることがあり、電子部品と導体回路との間や上下の導体回路間の接続信頼性が低下することがある。また、一定の昇温速度で温度を上昇させながら、圧着をおこなってもよい。

【0069】上記フィルムの圧着時間は、5～120秒が望ましい。圧着時間が5秒未満では、フィルムの圧着が不十分な場合があり、圧着時間が120秒を超えてもフィルムと基板や導体回路との密着性はほとんど向上しないからである。

【0070】上記フィルムを圧着する際の真空度は、13～1300Paが望ましい。上記真空度を、13Pa未満にすることは、技術的に容易ではなく、時間もかかる。一方、1300Paを超えると配線間隔が50μm以下の導体回路間に樹脂フィルムが完全に充填されないことがある。

【0071】本発明の製造方法においては、層間樹脂絶縁層形成用樹脂のフィルムを圧着した後、必要により該フィルムを熱硬化し、その後、バイアホール用開口を形成して層間樹脂絶縁層とする。上記熱硬化を行う際の温度としては特に限定されず、層間樹脂絶縁層形成用樹脂の組成を考慮し、所望の架橋密度となるように適宜選択すればよい。また、上記熱硬化は、各温度区間で一定時間保った後、温度を上昇させるステップキュアにより行ってもよい。これにより、フィルム内に残留する溶剤分や水分を完全に除去することができるからである。なお、上記熱硬化は、バイアホール用開口を形成した後、行ってもよい。

【0072】上記バイアホール用開口は、レーザ処理により形成することが望ましい。このとき、使用するレーザとしては、例えば、炭酸ガス(CO₂)レーザ、紫外線レーザ、エキシマレーザ等が挙げられるが、これらのなかでは、エキシマレーザや短パルスの炭酸ガスレーザが望ましい。

【0073】エキシマレーザは、後述するように、バイアホール用開口を形成する部分に貫通孔が形成されたマスク等を用いることにより、一度に多数のバイアホール用開口を形成することができ、また、短パルスの炭酸ガスレーザは、開口内の樹脂残りが少なく、レーザ照射部位の周囲の樹脂に対するダメージが特に小さいからであ

る。

【0074】また、エキシマレーザのなかでも、ホログラム方式のエキシマレーザを用いることが望ましい。ホログラム方式とは、レーザ光をホログラム、集光レンズ、レーザマスク、転写レンズ等を介して目的物に照射する方式であり、この方式を用いることにより、一度の照射で樹脂フィルム層に多数の開口を効率的に形成することができる。

【0075】また、炭酸ガスレーザを用いる場合、そのパルス間隔は、10⁻⁴～10⁻⁸秒であることが望ましい。また、開口を形成するためのレーザを照射する時間は、10～500μm秒であることが望ましい。また、バイアホール用開口を形成する部分に貫通孔が形成されたマスクの貫通孔は、レーザ光のスポット形状を真円にするために、真円である必要があり、上記貫通孔の径は、0.1～2mm程度が望ましい。

【0076】また、光学系レンズと、マスクとを介してレーザ光を照射することにより、一度に多数のバイアホール用開口を形成することができる。光学系レンズとマスクとを介することにより、同一強度で、かつ、照射強度が同一のレーザ光を複数の部分に照射することができるからである。

【0077】レーザ光にて開口を形成した場合、特に炭酸ガスレーザを用いた場合には、デスマ処理を行うことが望ましい。上記デスマ処理は、クロム酸、過マンガン酸塩等の水溶液からなる酸化剤を使用して行うことができる。また、酸素プラズマ、CF₄と酸素との混合プラズマやコロナ放電等で処理してもよい。また、低圧水銀ランプを用いて紫外線照射することにより、表面改質することもできる。このような工程を経ることにより、低誘電率で、かつ、絶縁性および形状保持性に優れた層間樹脂絶縁層を形成することができる。

【0078】次に、本発明の多層プリント配線板の全製造工程を、図5～9を参照しながら工程順に説明する。

(1) 先ず、ICチップ等の電子部品が内蔵された、ガラスエポキシ樹脂やBT(ビスマレイミドトリアジン)樹脂等からなる基板(以下、IC内蔵基板ともいう)30を出発材料とする(図5(A)参照)。なお、ICチップ20の上部は、パッシベーション膜22により被覆されており、パッシベーション膜22の開口内には、入出力端子を構成するアルミニウム等からなるパッド24が形成されている。

【0079】基板にICチップ等を内蔵する方法としては特に限定されず、例えば、基板の片面に、ザグリ加工でICチップ内蔵用の凹部を形成し、その後、該凹部に接着材料を介してICチップを固定する方法や、基板にICチップを収納するための貫通孔を形成し、該貫通孔内にICチップを収納した後、この基板と貫通孔を有さない基板とを積層する方法等が挙げられる。

【0080】(2) 次に、以下の方法により、基板に対

するICチップの位置決めを行う。即ち、ICチップの四隅に配設された位置決めマークをカメラで撮影し、上記位置決めマークを基準として、IC内蔵基板の四隅にレーザで位置決めマークを形成することによりICチップの位置決めを行う。

【0081】(3)次に、必要に応じて、ICチップに形成されているパッド上にトランジション層を形成する。上記トランジション層は、必要に応じて形成すればよいが、トランジション層を形成した場合、トランジション層の直径がパッドの直径に比べて大きい場合、トランジション層とバイアホールとの間では位置ずれが発生しにくく、上記パッドとバイアホールとをより確実に接続することができる。

【0082】上記トランジション層を形成する具体的な方法としては、下記(a)～(e)の工程を含む方法(以下、第一のトランジション層形成方法という)を用いることができる。即ち、

(a)まず、IC内蔵基板30の全面に金属膜36を形成する(図5(B)参照)。金属膜36は、スパッタリング等の物理的な蒸着を行うことにより形成することが望ましい。金属膜36は、例えば、クロム、銅、ニッケル、亜鉛、金、スズ、鉄などの金属を1種類以上用いて形成する。また、場合によっては、異なる金属を用いて2層以上の金属膜36を形成してもよい。

【0083】また、スパッタリング等を行った後、無電解めっきを行うことにより2層以上からなる金属膜36としてもよい。この場合、スパッタリング等によりクロム、ニッケルまたは亜鉛からなる層を成形し、その後、無電解めっきにより銅からなる層を形成することが望ましい。金属膜36の上に形成する導体回路の材質が、通常、銅であることを考慮すると、金属膜36の材質も銅であることが望ましいが、ICチップ20のパッド24がアルミニウムからなる場合、上記したように、パッド上に直接銅からなる金属膜36を形成することは、パッド24の変色等の引き起こすことがあるため、あまり好ましくない。これに対し、パッド24直上にクロム、ニッケルまたは亜鉛からなる層を成形し、その上層に銅からなる層を形成することにより、パッド24の変色等を防止するとともに、バイアホールとの接続信頼性に優れた金属膜36とすることができる。

【0084】スパッタリング等と無電解めっきとにより、金属膜36を形成する場合、スパッタリング等により形成される層の厚さは、0.01～0.5μmが望ましい。スパッタリング等の物理的な蒸着により、0.5μmを超える厚さの層を均一に形成することは難しいからである。また、無電解めっきにより形成される層の厚さは、0.01～5.0μmが望ましい。0.01μm未満では、全面にめっき膜を形成できず、5.0μmを超えるとエッチングで除去し難くなったり、位置決めマークが埋まってしまい、該位置決めマークを認識するこ

とができないことがあるからである。より望ましい範囲は、0.1～1.0μmである。

【0085】(b)次に、上記金属膜上に感光性ドライフィルムを貼り付ける。上記感光性ドライフィルムとしては特に限定されず、従来、めっきレジストを形成するために使用されている市販品を用いることができる。

(c)次に、上記感光性ドライフィルム上に、ICチップ20のパッド24に対応するパターンが形成されたマスクを載置し、露光・現像処理を施すことにより、パッド24上部が開口しためっきレジスト35を形成する。

【0086】(d)その後、めっきレジスト非形成部に、めっき処理によりめっき層37を形成する(図6(A)参照)。上記めっき処理は、無電解めっきであってもよいし、電解めっきであってもよく、両者を併用してもよい。めっき層37の材質としては、例えば、銅、ニッケル、金、銀、亜鉛、鉄等からなるものが挙げられる。これらのなかでは、電気特性、経済性に優れるとともに、後工程で形成される多層プリント配線板の導体回路の材質も、銅が望ましいことから、銅を用いることが望ましい。また、めっき層37の厚さは、1～15μmが望ましい。

【0087】(e)次に、上記めっきレジスト35を除去した後、めっきレジスト35下に存在する金属膜36を除去することによりトランジション層38を形成する(図6(B)参照)。金属膜36の除去は、硫酸と過酸化水素との混合液、過硫酸ナトリウム、過硫酸アンモニウム、塩化第二鉄、塩化第二銅等のエッチング液を用いて行う。

【0088】このように、第一のトランジション層形成方法によりトランジション層を形成した場合、後工程で層間樹脂絶縁層を形成する際に、パッド上に樹脂残りが発生することを防ぐことができ、また、酸、酸化剤またはエッチング液に浸漬させたり、種々のアニール工程を経る際に、パッドの変色、溶解が発生することを防ぐことができるため、パッドとバイアホールとの接続をより確実なものとすることができる。

【0089】(4)次に、必要に応じて、上記トランジション層38の表面に粗化面や粗化層(以下、両者を合わせて単に粗化面という)38αを形成する(図6

(c)参照)。粗化面を形成することにより、トランジション層38と層間樹脂絶縁層やバイアホールとの接続がより確実なものとなるからである。なお、粗化面38αは、エッチング処理、黒化還元処理、めっき処理等により形成することができる。

【0090】上記エッチング処理は、例えば、有機酸と第二銅錯体とを含むエッチング液を用いて行うことができる。上記有機酸としては、例えば、蟻酸、酢酸、プロピオン酸、酪酸、吉草酸、カブロン酸、アクリル酸、クロトン酸、シュウ酸、マロン酸、コハク酸、グルタル酸、マレイン酸、安息香酸、グリコール酸、乳酸、リン

ゴ酸、スルファミン酸等が挙げられる。これらは、単独で用いてもよく、2種以上併用してもよい。上記混合溶液において、上記有機酸の含有量は、0.1～30重量%が望ましい。酸化された銅の溶解性を維持し、かつ、触媒安定性を確保することができるからである。

【0091】上記第二銅錯体としては、アゾール類の第二銅錯体が望ましい。このアゾール類の第二銅錯体は、金属銅等を酸化する酸化剤として作用する。アゾール類としては、例えば、ジアゾール、トリアゾール、テトラゾール等が挙げられる。これらのなかでは、イミダゾール、2-メチルイミダゾール、2-エチルイミダゾール、2-エチル-4-メチルイミダゾール、2-フェニルイミダゾール、2-ウンデシルイミダゾールが望ましい。上記エッチング液において、上記第二銅錯体の含有量は、1～15重量%が望ましい。溶解性および安定性に優れ、また、触媒核を構成するPd等の貴金属をも溶解させることができるからである。

【0092】上記黒化還元処理の具体的な方法としては、NaOH (10g/l)、NaClO₂ (40g/l)、Na₃PO₄ (6g/l)、を含む水溶液を黒化浴とする黒化処理、および、NaOH (10g/l)、NaBH₄ (6g/l)を含む水溶液を還元浴とする還元処理を行う方法等が挙げられる。

【0093】上記めっき処理の具体的な方法としては、硫酸銅 (1～40g/l)、硫酸ニッケル (0.1～6.0g/l)、クエン酸 (10～20g/l)、次亜リン酸ナトリウム (10～100g/l)、ホウ酸 (10～40g/l) および界面活性剤 (日信化学工業社製、サーフィノール465) (0.01～10g/l) を含むpH=9の無電解めっき浴にて無電解めっきを施す方法等が挙げられる。

【0094】(5)次に、IC内蔵基板30上に、上記したように、層間樹脂絶縁層形成用樹脂のフィルムを、真空下または減圧下で圧着することにより、樹脂フィルム層を形成し(図7(A)参照)、さらに、樹脂フィルム層50'にレーザ等を用いてバイアホール用開口48を形成して層間樹脂絶縁層50とする(図7(B)参照)。

【0095】(6)次に、必要に応じて、層間樹脂絶縁層50の表面に粗化面50αを形成する(図7(C)参照)。粗化面50αは、例えば、プラズマ処理を行うことにより形成する。また、粗化面50αを形成することなしに、後述するスパッタリングを直接行ってもよい。

【0096】(7)次に、層間樹脂絶縁層50表面に、必要により、銅、ニッケル、スズ、亜鉛、コバルト、タリウム、鉛、これらの合金等からなる薄膜導体層52を形成する(図8(A)参照)。薄膜導体層52は、単層であってもよいし、2層以上からなるものであってもよい。薄膜導体層52の厚さは、0.1～1.0μmが望ましい。

【0097】薄膜導体層52を形成する方法としては、例えば、スパッタリング、無電解めっき等の方法が挙げられる。上記スパッタリングは、例えば、日本真空技術株式会社製のSV-4540を用いて行うことができる。

また、無電解めっきにより薄膜導体層52を形成する場合は、例えば、層間樹脂絶縁層50の表面に、予め、パラジウム触媒(アトテック社製)等を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させておき、次いで、無電解めっき水溶液中に基板を浸漬することにより、無電解めっき層(薄膜導体層)52を形成することができる。

【0098】(8)次に、薄膜導体層52を形成した層間樹脂絶縁層50上の一部にドライフィルムを用いてめっきレジスト54を形成し、その後、薄膜導体層52をめっきリードとして電解めっきを行い、上記めっきレジスト非形成部に電解めっき層56を形成する(図8

(B)参照)。上記電解めっきとしては、銅めっきを用いることが望ましい。このとき、バイアホール用開口を電解めっきで充填してフィールドピア構造としてもよく、バイアホール用開口に導電性ペースト等を充填した後、その上に蓋めっき層を形成してフィールドピア構造としてもよい。フィールドピア構造を形成することにより、バイアホールの直上にバイアホールを設けることができる。

【0099】(9)次に、めっきレジスト54を除去した後、そのめっきレジスト54下に存在する薄膜導体層52をエッチングにて溶解除去し、薄膜導体層52と電解めっき層56とからなる導体回路58およびバイアホール60を形成する。なお、触媒を付着させた後、無電解めっきにより薄膜導体層54を形成した場合は、酸、または、酸化剤を用いて層間樹脂絶縁層50上の触媒を除去してもよい。触媒として用いたパラジウムを除去することにより、電気特性の低減を防止することができる。

【0100】さらに、必要に応じて、導体回路58およびバイアホール60の表面に粗化面58α、60αを形成する(図8(C)参照)。粗化面58α、60αは、トランジション層38表面に粗化面を形成する際に用いる方法と同様の方法により形成することができる。

【0101】(10)次に、必要に応じて、(6)～(10)の工程を繰り返すことにより、さらに層間樹脂絶縁層150および導体回路158(バイアホール160を含む)を形成する(図9(A)参照)。

【0102】(11)次に、最外層の導体回路158を含む基板面にソルダーレジスト層70を形成する。上記ソルダーレジスト層としては、例えば、ポリフェニレンエーテル樹脂、ポリオレフィン樹脂、フッ素樹脂、熱可塑性エラストマー、ソルダーレジスト樹脂組成物等からなるものが挙げられる。上記ソルダーレジスト層は、未硬化の樹脂(樹脂組成物)をロールコート法等により塗

布したり、未硬化の樹脂フィルムを熱圧着したりした後、レーザ処理、露光・現像処理等による開口処理を行い、さらに、硬化処理等を行うことにより形成する(図9(B)参照)。

【0103】上記ソルダーレジスト樹脂組成物としては、例えば、ノボラック型エポキシ樹脂の(メタ)アクリレート、イミダゾール硬化剤、2官能性(メタ)アクリル酸エステルモノマー、分子量500~5000程度の(メタ)アクリル酸エステルの重合体、ビスフェノール型エポキシ樹脂等からなる熱硬化性樹脂、多価アクリル系モノマー等の感光性モノマー、グリコールエーテル系溶剤などを含むペースト状の流動体等が挙げられ、その粘度は25℃で1~10Pa・sに調製されていることが望ましい。

【0104】上記ノボラック型エポキシ樹脂の(メタ)アクリレートとしては、例えば、フェノールノボラックやクレゾールノボラックのグリシジルエーテルをアクリル酸やメタクリル酸等と反応させたエポキシ樹脂等が挙げられる。また、上記2官能性(メタ)アクリル酸エステルモノマーとしては特に限定されず、例えば、各種ジオール類やアクリル酸やメタクリル酸のエステル等が挙げられる。

【0105】(12)この後、ソルダーレジスト層70の開口部71内の導体回路158上にニッケルめっき層72、金めっき層74等を形成することにより、半田パッドを設け、該半田パッド上に、はんだペーストを印刷して、200℃でリフローすることにより、半田バンプ76を形成する。これにより、ICチップ20が基板に内蔵され、半田バンプを有する多層プリント配線板を得ることができる(図1参照)。また、上記ソルダーレジスト層の開口部に、はんだペーストを印刷した後、開口部に導電性ピンを載置し、200℃でリフローすることにより、外部端子と接続するためのPGA(Pin Grid Array)が配設された多層プリント配線板としてもよい。

【0106】また、本発明の製造方法では、第一のトランジション層形成方法(上記(3)の工程)に代えて、下記(a)~(e)の工程を含む方法(以下、第二のトランジション層形成方法という)を用いてトランジション層38を形成してもよい。なお、上記第二のトランジション層形成方法を用いる場合も、トランジション層38を形成する工程以外は、上記の製造方法を用いればよい。上記第二のトランジション層形成方法については、図12を参照しながら説明する。

【0107】(a)まず、IC内蔵基板の全面に上記した第一のトランジション層形成方法の工程(a)と同様にして、金属膜36'を形成する(図12(A)参照)。

(b)次に、上記金属膜上の全面に無電解めっきおよび/または電解めっきによりめっき層37'を形成する。めっき層37'としては、電解銅めっき層が望ましい

(図12(B)参照)。めっき層37'の厚さは、1~15μmが望ましい。上記厚さが15μmを超えると、後述するエッチングの際にアンダーカットが発生し、形成されるトランジション層とパッド24との界面に隙間が発生し、両者の間で剥離が発生する原因となることがあるからである。

【0108】(c)次に、上記めっき層上に、感光性ドライフィルムを貼り付ける。上記感光性ドライフィルムとしては特に限定されず、従来、エッチングレジストを形成するために使用されている市販品を用いればよい。

(d)次に、上記感光性ドライフィルム上に、形成するトランジション層に対応するパターンが形成されたマスクを載置し、露光・現像処理を施すことにより、トランジション層非形成部に相当する部分が開口したエッチングレジスト39を形成する(図12(C)参照)。

【0109】(e)さらに、エッチングレジスト39非形成部下の金属膜36'およびめっき層37'をエッチング処理により除去することにより、トランジション層38を形成する(図12(D)参照)。上記エッチング処理は、例えば、硫酸/過酸化水素水溶液、塩化第二鉄、塩化第二銅、過硫酸アンモニウム等の過硫酸塩の水溶液等のエッチング液を用いて行えばよい。

【0110】このように、第二のトランジション層形成方法によりトランジション層を形成した場合も、後工程で層間樹脂絶縁層を形成する際に、パッド上に樹脂残りが発生することを防ぐことができ、また、酸、酸化剤またはエッチング液に浸漬させたり、種々のアニール工程を経る際に、パッドの変色、溶解が発生することを防ぐことができるため、パッドとバイアホールとの接続をより確実なものとすることができる。

【0111】なお、製品認識文字などを形成するための文字印刷工程やソルダーレジスト層改質のために、酸素や四塩化炭素などのプラズマ処理を適時行ってもよい。以上の方法は、セミアディティブ法によるものであるが、フルアディティブ法を採用してもよい。

【0112】このように、本発明の製造方法を用いることにより、ICチップ等の電子部品が基板内に内蔵され、該ICチップと多層プリント配線板とが、リード部品を介さず、直接電氣的に接続された多層プリント配線板を製造することができる。また、本発明の製造方法では、ポリオレフィン系樹脂、フッ素系樹脂およびポリフェニレン系樹脂からなる群から選択される少なくとも一種の樹脂からなるフィルムを用いて、層間樹脂絶縁層を形成しているため、低誘電率で、かつ、絶縁性および形状保持性に優れた層間樹脂絶縁層を有する多層プリント配線板を製造ことができ、得られた多層プリント配線板は、電子部品との接続信頼性に優れるとともに、信号遅延や信号エラーが発生しにくい。

【0113】

【実施例】以下、本発明をさらに詳細に説明する。

【0114】(実施例1)

(1) その上部がパッシベーション膜22により被覆され、パッシベーション膜22の開口内に入出力端子としてアルミニウムパッド24が形成されているICチップ20が内蔵された厚さ0.8 μ mのBT(ビスマレイミドトリアジン)樹脂基板(以下、IC内蔵BT基板ともいう)30を出発材料とした。(図2(A)参照)。まず、ICチップ20の四隅に配設された位置決めマーク(図示せず)をカメラで撮影し、上記位置決めマークを基準として、IC内蔵基板30の四隅にレーザで位置決めマークを形成することによりICチップの位置決めを行った。

【0115】(2) 次に、IC内蔵BT基板30上に、厚さ40 μ mの熱硬化型シクロオレフィン系樹脂フィルムを載置し、温度を50~150℃まで昇温しながら、圧力0.5MPa、真空度1.3kPaの条件で真空圧着ラミネートすることにより樹脂フィルム層50'を形成した(図2(B)参照)。

【0116】(3) 次に、樹脂フィルム層50'上に、貫通孔が形成されたマスクを介して、波長10.4 μ mのCO₂ガスレーザにて、ビーム径5.0mm、トップハットモード、パルス幅50 μ s、マスクの貫通孔の径0.5mm、3ショットの条件で樹脂フィルム層50'に、直径80 μ mのバイアホール用開口48を形成し、30 μ mの層間樹脂絶縁層50とした(図2(C)参照)。その後、酸素プラズマを用いてデスマリア処理を行った。

【0117】(4) 次に、日本真空技術株式会社製のSV-4540を用いてプラズマ処理を行い、層間樹脂絶縁層50の表面に粗化面50 α を形成した(図2(D)参照)。この際、不活性ガスとしてはアルゴンガスを使用し、電力200W、ガス圧0.6Pa、温度70℃の条件で、2分間プラズマ処理を実施した。

【0118】(5) 次に、同じ装置を用い、内部のアルゴンガスを交換した後、Znをターゲットにしたスパッタリングを、気圧0.6Pa、温度80℃、電力200W、時間5分間の条件で行い、Znからなる厚さ0.1 μ mの薄膜導体層52を層間樹脂絶縁層50の表面に形成した(図3(A)参照)。

【0119】(6) 次に、市販の感光性ドライフィルムを薄膜導体層52に張り付け、フォトマスクフィルムを載置して100mJ/cm²で露光し、0.8%の炭酸ナトリウム水溶液で現像処理することにより、厚さ25 μ mのめっきレジスト54を形成した。その後、薄膜導体層52をめっきリードとして下記の条件で電解銅めっきを行い、上記めっきレジスト非形成部に厚さ18 μ mの電解銅めっき層56を形成した(図3(B)参照)。

【0120】〔電解銅めっき水溶液〕

硫酸 2.24 mol/l

硫酸銅 0.26 mol/l

添加剤(アトテックジャパン社製、カバラシドHL)

19.5 ml/l

〔電解めっき条件〕

電流密度 1A/dm²

時間 65分

温度 22℃ \pm 2℃

【0121】(7) 次に、めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト54下に存在していた薄膜導体層52をエッチングにて溶解除去し、薄膜導体層52と電解めっき層56からなる厚さ15 μ mの導体回路58およびバイアホール60を形成した。その後、導体回路58(バイアホール60を含む)を形成した基板にエッチング液をスプレーで吹きつけ、導体回路58の表面に粗化面58 α を形成した(図3(C)参照)。ここで、エッチング液としては、イミダゾール銅(II)錯体10重量部、グリコール酸7重量部、塩化カリウム5重量部およびイオン交換水78重量部を混合したものを使用した。

【0122】(8) 次に、(2)~(7)の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層150および導体回路158(バイアホール160を含む)を形成した(図4(A)参照)。

【0123】(9) 次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量4000)46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エビコート1001)15重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)

1.6重量部、感光性モノマーである多官能アクリルモノマー(共栄化学社製、商品名:R604)3重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンプロ社製、商品名:S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調整し、この混合組成物に対して光重量開始剤としてベンゾフェノン(関東化学社製)2.0重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部を加えて、粘度を25℃で2.0Pa \cdot sに調整したソルダーレジスト組成物を得た。なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60rpmの場合はローターNo.4、6rpmの場合はローターNo.3によった。

【0124】(10) 次に、基板30に、上記ソルダーレジスト組成物を20 μ mの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、ソルダーレジストレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光

し、DMTG溶液で現像処理し、 $200\mu\text{m}$ の直径の開口71を形成した(図4(B)参照)。

【0125】(11)次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル($2.3 \times 10^{-1}\text{mol/l}$)、次亜リン酸ナトリウム($2.8 \times 10^{-1}\text{mol/l}$)、クエン酸ナトリウム($1.6 \times 10^{-1}\text{mol/l}$)を含む $\text{pH}=4.5$ の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ $5\mu\text{m}$ のニッケルめっき層72を形成した。さらに、その基板を、シアン化金カリウム($7.6 \times 10^{-1}\text{mol/l}$)、塩化アンモニウム($1.9 \times 10^{-1}\text{mol/l}$)、クエン酸ナトリウム($1.2 \times 10^{-1}\text{mol/l}$)、次亜リン酸ナトリウム($1.7 \times 10^{-1}\text{mol/l}$)を含む無電解めっき液に 80°C の条件で7.5分間浸漬して、ニッケルめっき層72上に厚さ $0.03\mu\text{m}$ の金めっき層74を形成することで、導体回路158に半田パッド75を形成した(図4(C)参照)。

【0126】(12)この後、ソルダーレジスト層70の開口部71に、はんだペーストを印刷して、 200°C でリフローすることにより、半田パンプ76を形成した。これにより、ICチップ20を内蔵し、半田パンプ76を有する多層プリント配線板100を得た(図10参照)。

【0127】(実施例2)実施例1の工程(2)において、熱硬化型シクロオレフィン系樹脂フィルム代えて、厚さ $40\mu\text{m}$ のポリオレフィン系樹脂フィルムを、温度 160°C 、圧力 1.0MPa 、真空度 1.3kPa の条件で真空圧着ラミネートすることにより樹脂フィルム層50'を形成し、さらに、工程(5)において、Znをターゲットにしたスパッタリングに代えて、Crをターゲットにしたスパッタリングを、気圧 0.6Pa 、温度 80°C 、電力 200W 、時間5分間の条件で行い、Crからなる厚さ $0.1\mu\text{m}$ の薄膜導体層52を層間樹脂絶縁層50の表面に形成した以外は実施例1と同様にして多層プリント配線板を得た。なお、形成された層間樹脂絶縁層の厚さは、 $30\mu\text{m}$ である。

【0128】なお、上記ポリオレフィン系樹脂フィルムは、下記の方法により作製した。

(i) 500ml のn-ヘプタン中に、スチレン 104g およびブチルリチウム 10.8g を溶解させ、 70°C で3時間加熱した。

(ii)上記処理を行った溶液中に、エチレン：ブタジエンの容量比が3：1の混合ガスを吹き込みながら、 70°C で5時間放置した。

【0129】(iii)この後、さらに I_2 を添加し、 100°C で1時間放置することにより、n-ヘプタンを除去した。

(iv)残った生成物をアセトンにて洗浄し、未反応物およびLiIを除去した。その後、粒径が $0.1\mu\text{m}$ で球状のメラミンと粒径が $0.05\mu\text{m}$ の球状のメラミンを

2：1の割合で配合し、凝集せずに分散するように混合した。

【0130】(v) (iv)の工程で得られた混合物のうち、 50g を再度 500ml のn-ヘプタンに溶解させ、さらに 1g の過酸化ベンゾイルを溶かした後、この溶液をポリエチレンテレフタレートフィルム上に薄く広げ、このフィルム状物を 50°C まで加熱した後、さらに $1^\circ\text{C}/\text{分}$ でゆっくりと加熱し、 100°C に達した後、30分放置することにより溶剤を除去した。このようにして、 $40\mu\text{m}$ の厚さの半硬化状態のポリオレフィン系樹脂フィルムが得られた。

【0131】(実施例3)実施例1の工程(2)において、熱硬化型シクロオレフィン系樹脂フィルム代えて、上記化学式(2)において、 R^1 がメチレン基であり、 R^2 が $-\text{CH}_2$ 、 $-\text{O}-\text{CH}_2$ である熱硬化型ポリフェニレン系樹脂フィルム(厚さ $40\mu\text{m}$)を、温度を $50 \sim 150^\circ\text{C}$ まで昇温しながら、圧力 0.5MPa 、真空度 1.3kPa の条件で真空圧着ラミネートすることにより樹脂フィルム層50'を形成し、さらに、工程(5)において、Znをターゲットにしたスパッタリングに代えて、Niをターゲットにしたスパッタリングを、気圧 0.6Pa 、温度 80°C 、電力 200W 、時間5分間の条件で行い、Niからなる厚さ $0.1\mu\text{m}$ の薄膜導体層52を層間樹脂絶縁層50の表面に形成した以外は実施例1と同様にして多層プリント配線板を得た。なお、形成された層間樹脂絶縁層の厚さは、 $30\mu\text{m}$ である。

【0132】(実施例4)

(1)実施例1と同様の厚さ $0.8\mu\text{m}$ のIC内蔵BT基板30を出発材料とした(図5(A)参照)。まず、ICチップ20の四隅に配設された位置決めマークをカメラで撮影し、上記位置決めマークを基準として、IC内蔵基板30の四隅にレーザーで位置決めマークを形成することによりICチップの位置決めを行った。

【0133】(2)次に、Znをターゲットにしたスパッタリングを、日本真空技術株式会社製のSV-4540を用い、ガス圧 0.6Pa 、温度 80°C 、電力 200W 、時間5分間の条件で行い、IC内蔵BT基板30の全面に厚さ $0.1\mu\text{m}$ のZn膜を形成し、さらに、Zn膜上に無電解銅めっきにより厚さ $0.7\mu\text{m}$ の無電解銅めっき膜を形成することにより、亜鉛と銅とからなる金属膜36を形成した(図5(B)参照)。

【0134】(3)次に、金属膜36上に、感光性ドライフィルムを張りつけた後、該感光性ドライフィルム上に、パッド24に対応するパターンが形成されたマスクを載置し、露光・現像処理を施すことにより、パッド24の上部に開口を有するめっきレジスト35を形成した。さらに、めっきレジスト35非形成部に、以下の条件で電解銅めっきを施して電解銅めっき層37を設けた(図6(A)参照)。

【0135】〔電解銅めっき水溶液〕

硫酸 2.24 mol/l
 硫酸銅 0.26 mol/l
 添加剤 (アテックジャパン社製、カバラシドHL)
 19.5 ml/l

〔電解めっき条件〕

電流密度 1 A/dm²
 時間 65分
 温度 22℃±2℃

【0136】(4) さらに、めっきレジスト35を除去した後、めっきレジスト35下の金属膜36をエッチングにより除去することにより、ICチップのパッド24上に直径80μmのトランジション層38を形成した(図6(B)参照)。なお、エッチング液としては、硫酸と過酸化水素との混合液を用いた。

【0137】(5) 次に、トランジション層38を形成したIC内蔵BT基板30にエッチング液をスプレーで吹きつけ、トランジション層38の表面に粗化面38αを形成した(図6(C)参照)。ここで、エッチング液としては、イミダゾール銅(II)錯体10重量部、グリコール酸7重量部、塩化カリウム5重量部およびイオン交換水78重量部を混合したものを使用した。

【0138】(6) 次に、トランジション層38が形成されたIC内蔵BT基板30上に、厚さ40μmの熱硬化型シクロオレフィン系樹脂フィルムを載置し、温度を50~150℃まで昇温しながら、圧力0.5MPa、真空度1.3kPaの条件で真空圧着ラミネートすることにより樹脂フィルム層50'を形成した(図7(A)参照)。

【0139】次いで、樹脂フィルム層50'上に、貫通孔が形成されたマスクを介して、波長10.4μmのCO₂ガスレーザにて、ビーム径5.0mm、トップハットモード、パルス幅50μ秒、マスクの貫通孔の径0.5mm、3ショットの条件で樹脂フィルム層50'に、直径80μmのバイアホール用開口48を形成し、厚さ30μmの層間樹脂絶縁層50とした(図7(B)参照)。その後、酸素プラズマを用いてデスマリア処理を行った。

【0140】(7) 次に、日本真空技術株式会社製のSV-4540を用いてプラズマ処理を行い、層間樹脂絶縁層50の表面に粗化面50αを形成した(図7(C)参照)。この際、不活性ガスとしてはアルゴンガスを使用し、電力200W、ガス圧0.6Pa、温度70℃の条件で、2分間プラズマ処理を実施した。

【0141】(8) 次に、同じ装置を用い、内部のアルゴンガスを交換した後、Ni-Cu合金をターゲットにしたスパッタリングを、気圧0.6Pa、温度80℃、電力200W、時間5分間の条件で行い、Ni-Cu合金からなる厚さ0.2μmの薄膜導体層52を層間樹脂絶縁層50の表面に形成した。

【0142】(10) 次に、市販の感光性ドライフィル

ムを薄膜導体層52に張り付け、フォトマスクフィルムを載置して100mJ/cm²で露光し、0.8%の炭酸ナトリウム水溶液で現像処理することにより、厚さ25μmのめっきレジスト54を形成した。その後、薄膜導体層52をめっきリードとして上記(3)と同様の条件で電解銅めっきを行い、上記めっきレジスト非形成部に電解銅めっき層56を形成した(図8(B)参照)。

【0143】(11) 次に、めっきレジスト54を5% NaOHで剥離除去した後、そのめっきレジスト下に存在していた薄膜導体層52をエッチングにて溶解除去し、薄膜導体層52と電解めっき層56からなる厚さ15μmの導体回路58およびバイアホール60を形成した。その後、導体回路58(バイアホール60を含む)を形成した基板にエッチング液をスプレーで吹きつけ、導体回路58表面に粗化面58α、60αを形成した(図8(C)参照)。エッチング液としては、上記(5)の工程で、トランジション層の表面に粗化面を形成する際に使用したエッチング液と同様のものを用いた。

【0144】(12) 次に、(6)~(11)の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層150および導体回路158(バイアホール160を含む)を形成した(図9(A)参照)。

【0145】(13) 次に、実施例1と同様にしてソルダーレジスト組成物を得た。さらに、最外層に導体回路158の形成されたIC内蔵基板30に、上記ソルダーレジスト組成物を20μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、ソルダーレジストレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した(図9(B)参照)。

【0146】(14) 次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル(2.3×10⁻¹mol/l)、次亜リン酸ナトリウム(2.8×10⁻¹mol/l)、クエン酸ナトリウム(1.6×10⁻¹mol/l)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板を、シアン化金カリウム(7.6×10⁻³mol/l)、塩化アンモニウム(1.9×10⁻³mol/l)、クエン酸ナトリウム(1.2×10⁻³mol/l)、次亜リン酸ナトリウム(1.7×10⁻³mol/l)を含む無電解めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に厚さ0.03μmの金めっき層74を形成することで、導体回路158に半田パッド75を形成した(図9(C)参照)。

【0147】(15) この後、ソルダーレジスト層70の開口部71に、はんだペーストを印刷して、200℃

でリフローすることにより、半田バンプ76を形成する。これにより、ICチップ20を内蔵し、半田バンプ76を有する多層プリント配線板10を得た(図1参照)。

【0148】(実施例5) 実施例4の工程(2)において、Znをターゲットにしたスパッタリングに代えて、Crをターゲットにしたスパッタリングを、気圧0.6 Pa、温度80℃、電力200W、時間5分間の条件で行い、IC内蔵基板30の全面に、厚さ0.1μmのCr膜を形成し、さらに、Cr膜上に無電解銅めっきにより厚さ0.7μmの無電解銅めっき膜を形成することにより、クロムと銅とからなる金属膜36を形成した以外は実施例4と同様にして多層プリント配線板を得た。

【0149】(実施例6)

(1) 実施例1と同様の厚さ0.8μmのIC内蔵BT基板30を出発材料とした(図5(A)参照)。まず、ICチップ20の四隅に配設された位置決めマークをカメラで撮影し、上記位置決めマークを基準として、IC内蔵基板30の四隅にレーザーで位置決めマークを形成することによりICチップの位置決めを行った。

【0150】(2) 次に、Niをターゲットにしたスパッタリングを、日本真空技術株式会社製のSV-4540を用い、ガス圧0.6 Pa、温度80℃、電力200W、時間5分間の条件で行い、IC内蔵BT基板30の全面に厚さ0.1μmのNi膜を形成し、さらに、Ni膜上に、さらに無電解銅めっきにより厚さ0.7μmの無電解銅めっき膜を形成することにより、ニッケルと銅とからなる金属膜36'を形成した(図12(A)参照)。

【0151】(3) 次に、金属膜36'上に、実施例4の工程(3)と同様の条件で、電解銅めっきを施し、金属膜36'上の全面に電解銅めっき層37'を設けた(図12(B)参照)。

【0152】(4) さらに、上記電解銅めっき層37'上に、感光性ドライフィルムを張り付け、該感光性ドライフィルム上に、トランジション層に対応するパターンが形成されたマスクを載置し、露光・現像処理を施すことにより、トランジション層非形成部に相当する部分が開口したエッチングレジスト39を形成した(図12(C)参照)。

【0153】(5) さらに、エッチングレジスト39非形成部下の金属膜36'および電解銅めっき層37'をエッチング処理により除去することにより、ICチップ上に直径80μmのトランジション層38を形成した(図12(D)参照)。なお、このエッチング処理では、硫酸と過酸化水素水溶液とからなるエッチング液を使用した。

【0154】(6) 実施例4の(5)～(12)の工程と同様にして、最外層に導体回路158が形成された基板を作製した(図9(A)参照)。

【0155】(7) 次に、実施例1と同様にしてソルダーレジスト組成物を得た。さらに、最外層に導体回路158の形成されたIC内蔵基板30に、上記ソルダーレジスト組成物を20μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、ソルダーレジストレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した(図9(B)参照)。

【0156】(8) 次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル(2.3×10⁻¹mol/l)、次亜リン酸ナトリウム(2.8×10⁻¹mol/l)、クエン酸ナトリウム(1.6×10⁻¹mol/l)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板を、シアン化金カリウム(7.6×10⁻³mol/l)、塩化アンモニウム(1.9×10⁻¹mol/l)、クエン酸ナトリウム(1.2×10⁻¹mol/l)、次亜リン酸ナトリウム(1.7×10⁻¹mol/l)を含む無電解めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に厚さ0.03μmの金めっき層74を形成することで、導体回路158に半田パッド75を形成した(図9(C)参照)。

【0157】(9) この後、ソルダーレジスト層70の開口部71に、はんだペーストを印刷した後、該はんだペーストを介して半田パッド上に導電性ピン176を載置し、200℃でリフローすることにより、ICチップ20を内蔵し、PGA(Pin Grid Array)が配設された多層プリント配線板110を得た(図11参照)。

【0158】このようにして製造した多層プリント配線板について、層間樹脂絶縁層の誘電率、信号遅延や信号エラーの発生の有無、ICチップのパッド表面の観察、並びに、信頼性試験前後における導体回路と層間樹脂絶縁層との間での剥離の発生の有無、ICチップのパッドとバイアホールとの間での剥離や位置ズレの発生の有無、層間樹脂絶縁層でのクラックの発生の有無、および、導通試験時の短絡、断線の発生の有無を以下の評価方法を用いて評価した。結果を表1に示した。

【0159】(1) 層間樹脂絶縁層の誘電率
従来公知の測定方法を用いて測定した。(2) 信号遅延や信号エラーの発生の有無
導通試験を行い、数値に著しい変化があった場合には「有」と判断した。

【0160】(3) パッド表面の観察
多層プリント配線板を刃物で切断した後、その断面を顕微鏡で観察した。なお、ここでは、ICチップのパッド部分を通るように多層プリント配線板を切断した。

【0161】(4) 信頼性試験

得られた多層プリント配線板を、 -65°C の雰囲気下に3分間維持した後、 130°C の雰囲気下に3分間維持するサイクルを1000回繰り返した。

【0162】(5) 導体回路と層間樹脂絶縁層との間での剥離、位置ズレの発生の有無

上記(3)と同様にして多層プリント配線板を刃物で切断し、切断した断面を顕微鏡で観察した。

(6) ICチップのパッドとバイアホールとの間での剥離の発生の有無

上記(3)と同様にして多層プリント配線板を刃物で切断し、切断した断面を顕微鏡で観察した。 *

*【0163】(7) 層間樹脂絶縁層でのクラックの発生の有無

上記(3)と同様にして多層プリント配線板を刃物で切断し、切断した断面を顕微鏡で観察した。

(8) 短絡または断線の発生の有無

得られたICチップ内蔵多層プリント配線板の導通試験を行い、モニターに表示された結果から導通状態を評価した。

【0164】

10 【表1】

	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6
誘電率 (ϵ)	1.7	1.8	1.5	1.4	1.9	1.4
信号遅延	無し	無し	無し	無し	無し	無し
信号エラー	無し	無し	無し	無し	無し	無し
パッド表面の観察	樹脂残り 無し	樹脂残り 無し	樹脂残り 無し	樹脂残り 無し	樹脂残り 無し	樹脂残り 無し
導体回路と層間樹脂絶縁層との間での剥離の発生	無し	無し	無し	無し	無し	無し
パッドとバイアホールとの間での剥離の発生	無し	無し	無し	無し	無し	無し
パッドとバイアホールとの間での位置ズレの発生	一部に有り	一部に有り	一部に有り	無し	無し	無し
層間樹脂絶縁層でのクラックの発生	無し	無し	無し	無し	無し	無し
短絡または断線の発生	無し	無し	無し	無し	無し	無し

【0165】上記評価の結果、表1に示したように、実施例1～3の多層プリント配線板は、層間樹脂絶縁層の誘電率が3.0以下であり、信号遅延や信号エラーは発生しなかった。また、トランジション層が形成されていないため、バイアホールとICチップのパッドとの間で位置ずれを生じている部分や、パッド表面に樹脂残りが発生しているが一部に見られたものの、バイアホールとパッドとは接続されており、製品の性能に影響を及ぼす程のものではなかった。また、導体回路と層間樹脂絶縁層との間や、パッドとバイアホールの間では、剥離が発生しておらず、また、層間樹脂絶縁層にクラックは発生しなかった。さらに、導通試験において、短絡や断線は発生していなかった。

【0166】また、実施例4～6の多層プリント配線板も、層間樹脂絶縁層の誘電率が3.0以下であり、信号遅延や信号エラーは発生しなかった。また、パッド上にトランジション層を形成したため、バイアホールとICチップのパッドとの間での位置ずれや、パッド表面での樹脂残りは発生していなかった。また、導体回路と層間樹脂絶縁層との間や、パッドとバイアホールとの間での剥離は発生しておらず、また、層間樹脂絶縁層にクラックは発生しなかった。さらに、導通試験において、短絡

や断線は発生していなかった。

30 【0167】

【発明の効果】以上説明したように、本発明の多層プリント配線板は、上述の構成からなるため、電子部品とプリント配線板との接続の際に、リード部品や封止樹脂を用いる必要がなく、また、層間樹脂絶縁層の誘電率が3.0以下であるため、GHz帯域の高周波信号を用いる電子部品を内蔵する場合であっても信号伝搬の遅延や、信号の伝送損失等に起因する信号エラーを防止することができる。また、本発明の多層プリント配線板が有する層間樹脂絶縁層の熱膨張係数は、基板や、バッシベーション膜や、ICチップを内蔵する際に用いる接着剤の熱膨張係数と大きく異ならない。そのため、層間樹脂絶縁層と基板等との間では剥離が発生しにくく、また、層間樹脂絶縁層にクラックが発生しにくく、これは、ヒートサイクル条件下でも同様であった。

【0168】また、本発明の多層プリント配線板の製造方法は、上述の構成からなるため、ICチップらの電子部品が基板に内蔵され、該ICチップと多層プリント配線板とがリード部品を介さず、直接電氣的に接続された多層プリント配線板を製造することができる。また、本発明の製造方法では、ポリオレフィン系樹脂、フッ素系

31

樹脂、および、ポリフェニレン系樹脂からなる群から選択される少なくとも一種の樹脂からなるフィルムを用いて層間樹脂絶縁層を形成するため、低誘電率で、かつ、絶縁性、形状保持性に優れた層間樹脂絶縁層を有する多層プリント配線板を好適に製造することができる。

【図面の簡単な説明】

【図1】図1は、本発明の多層プリント配線板の一例を模式的に示す断面図である。

【図2】(A)～(D)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図3】(A)～(C)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図4】(A)～(C)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図5】(A)、(B)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図6】(A)～(C)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図7】(A)～(C)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

32

*【図8】(A)～(C)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図9】(A)～(C)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【図10】図10は、本発明の多層プリント配線板の別の一例を模式的に示す断面である。

【図11】図11は、本発明の多層プリント配線板のさらに別の一例を模式的に示す断面である。

10 【図12】(A)～(D)は、本発明の多層プリント配線板の製造工程を模式的に示す断面である。

【符号の説明】

20 ICチップ

24 パッド

30 IC内蔵基板

38 トランジション層

50、150 層間樹脂絶縁層

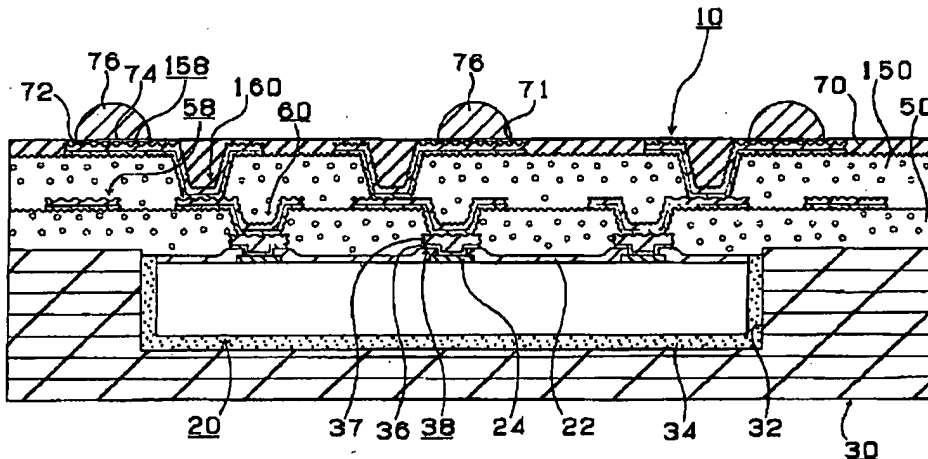
58、158 導体回路

60、160 バイアホール

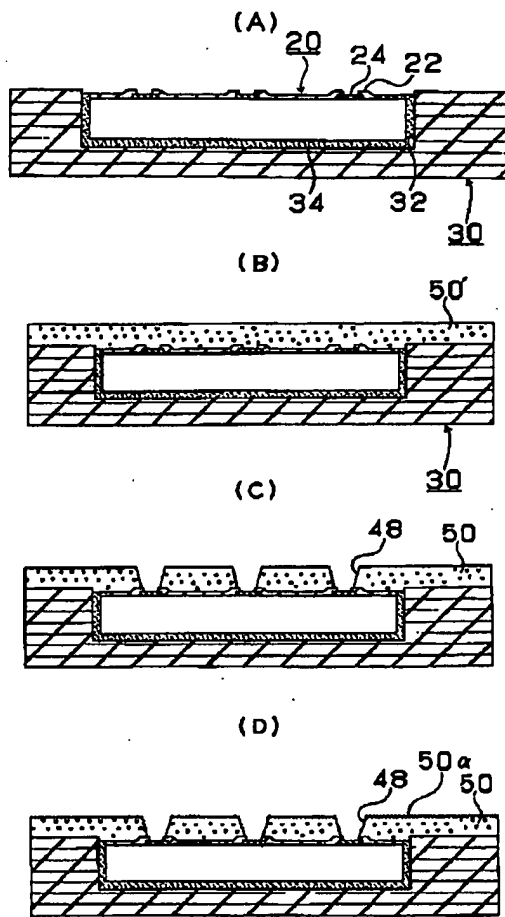
70 ソルダーレジスト層

*20 76 半田バンプ

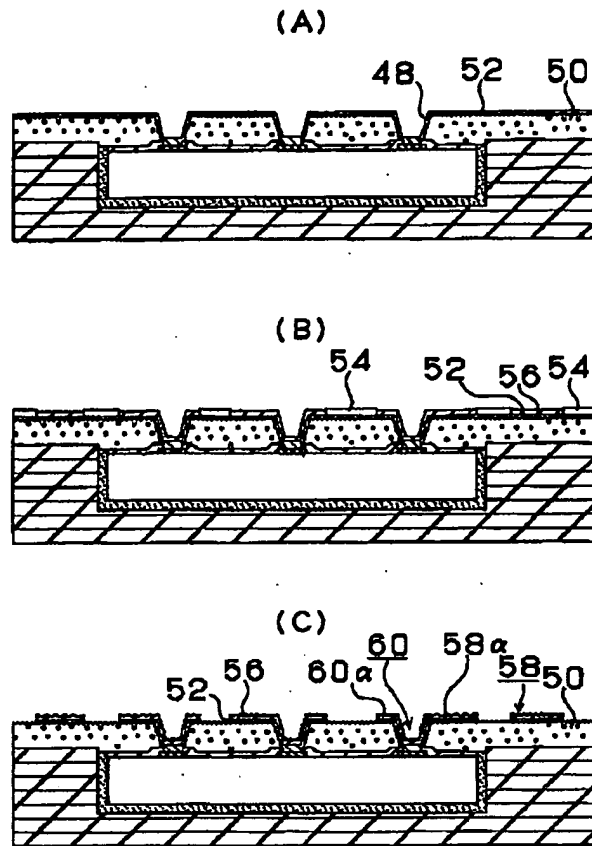
【図1】



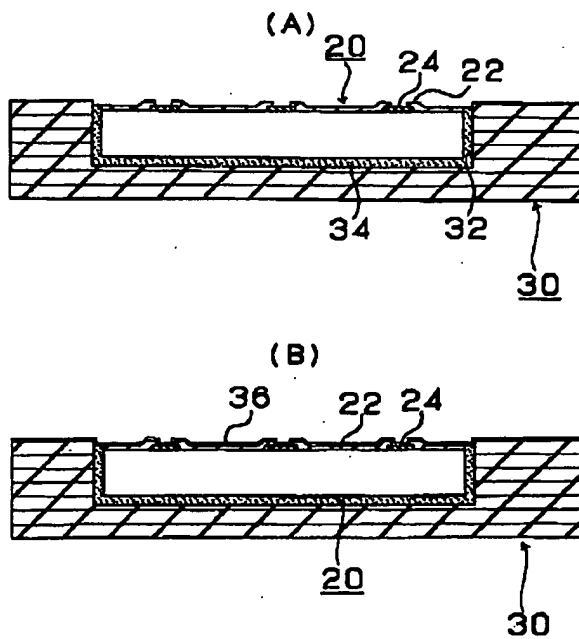
【図2】



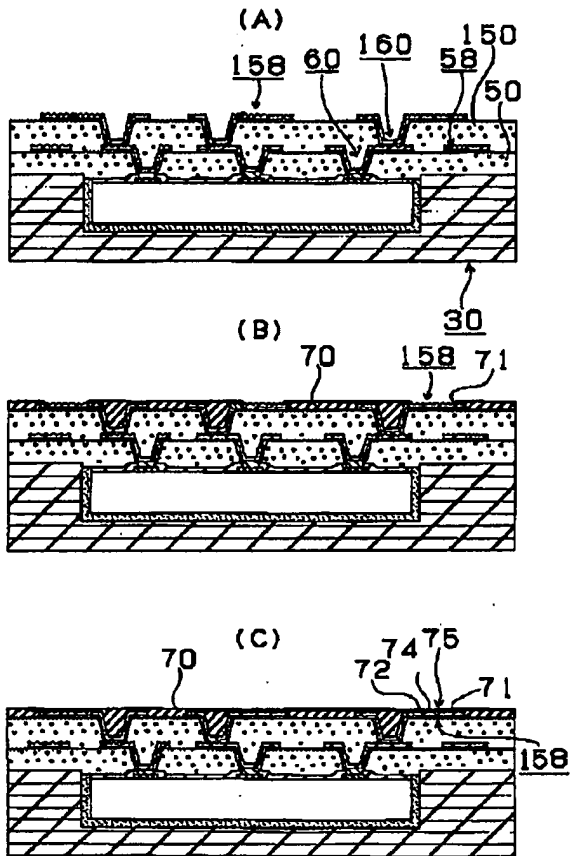
【図3】



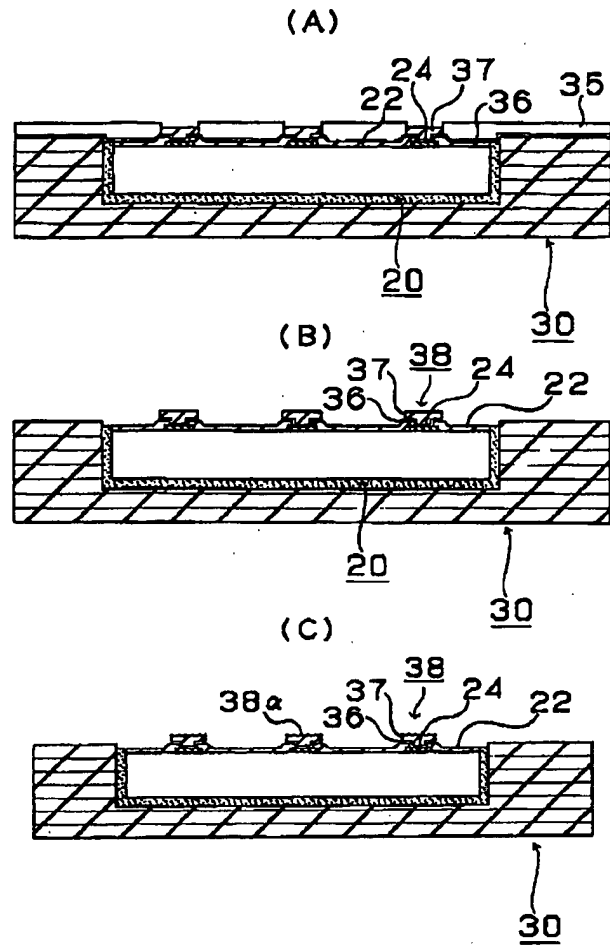
【図5】



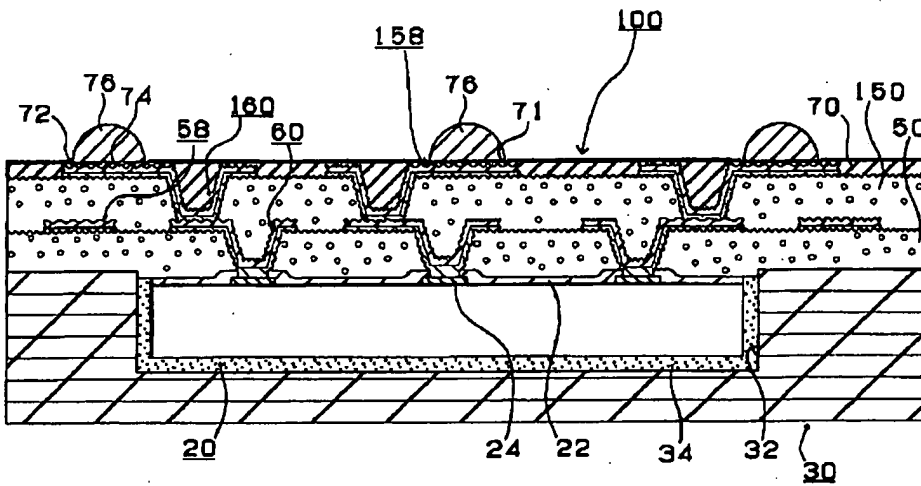
【図4】



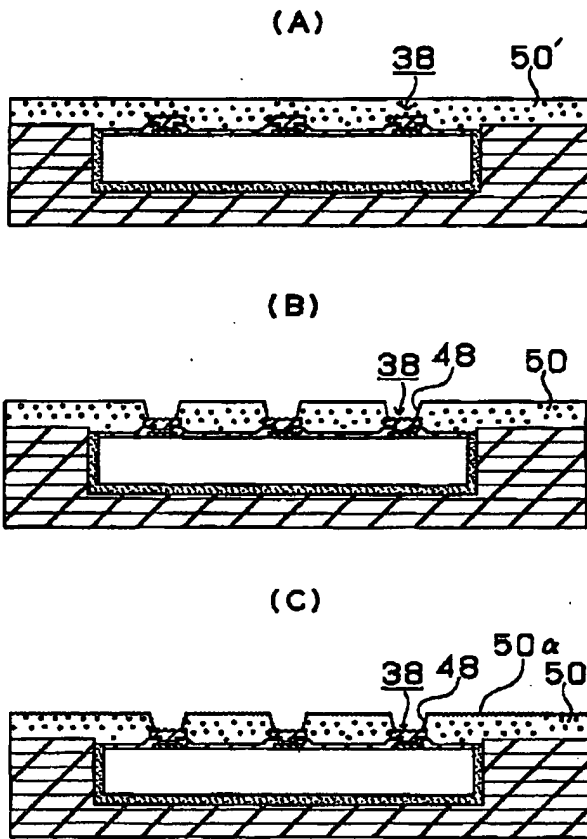
【図6】



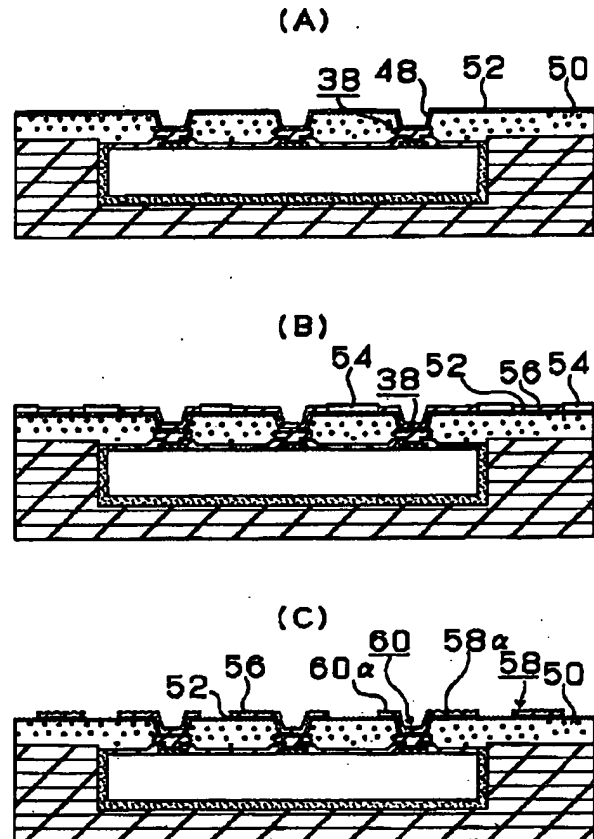
【図10】



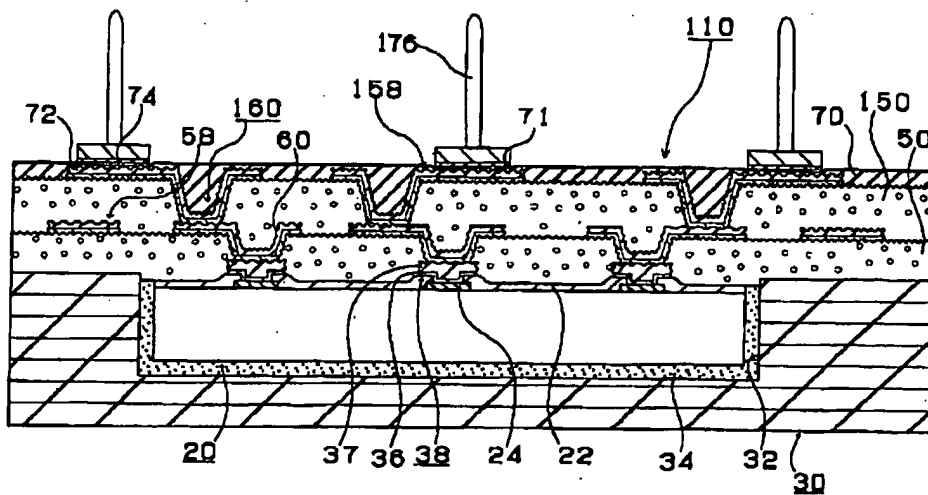
【図7】



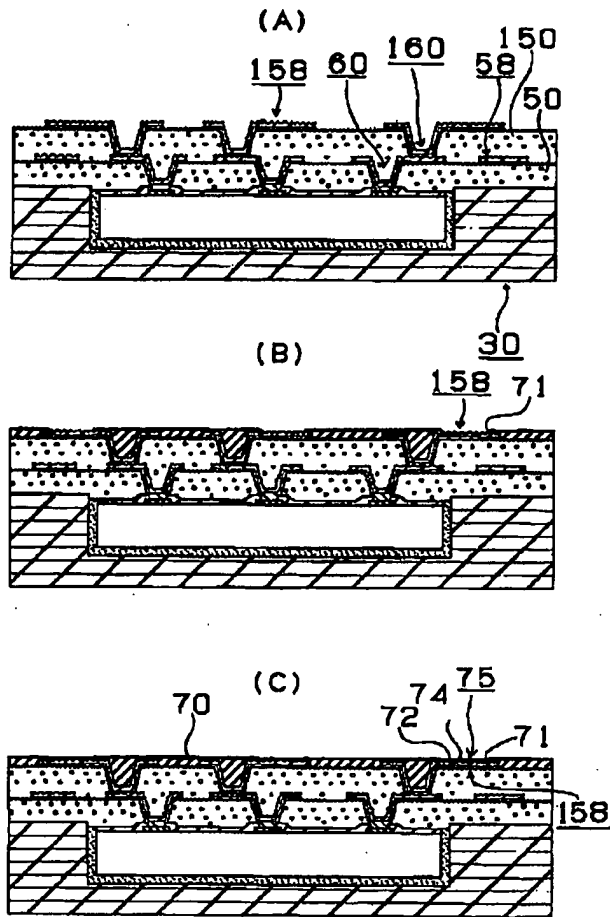
【図8】



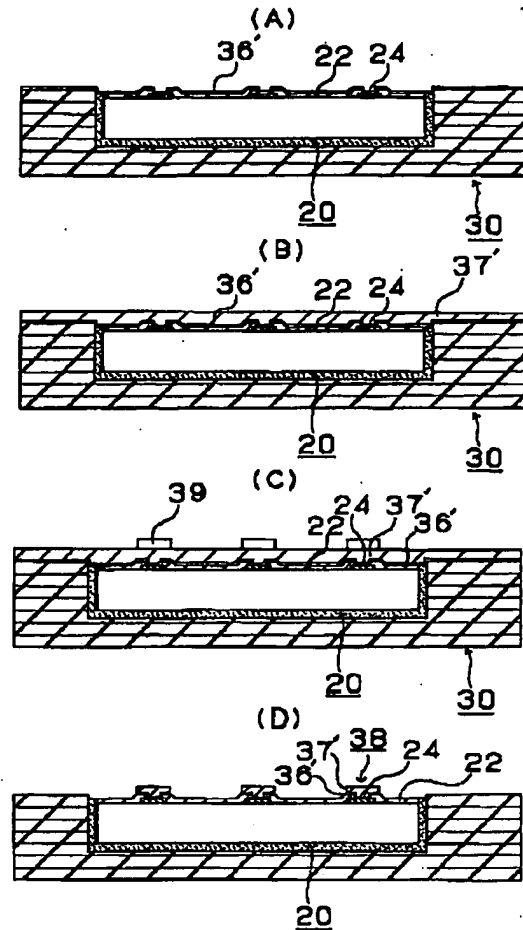
【図11】



【図9】



【図12】



フロントページの続き

(51)Int.Cl.⁷

H01L 23/14

識別記号

F I

H01L 23/12

23/14

ターム(参考)

F

R

F ターム(参考) 5E346 AA02 AA04 AA12 AA15 AA26

AA29 AA32 AA43 BB02 CC04

CC08 CC09 CC13 CC14 CC32

CC33 CC37 CC38 CC39 CC40

CC54 CC58 DD02 DD03 DD12

DD17 DD23 DD24 EE13 EE14

EE17 EE19 EE20 FF01 FF07

FF08 FF09 FF10 FF14 FF18

FF23 FF27 FF50 GG15 GG27

GG28 HH05 HH06 HH07